

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-084053

(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

G06F 1/04

G06F 1/10

G06F 17/50

(21)Application number : 11-262917

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 17.09.1999

(72)Inventor : MATSUMOTO KENJI

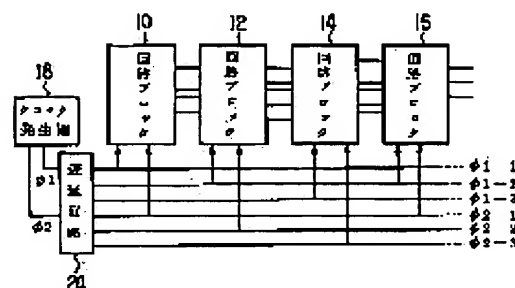
KOMURA YASUTO

## (54) ELECTROMAGNETIC INTERFERENCE SUPPRESSION CIRCUIT AND METHOD AND METHOD FOR DESIGNING DIGITAL CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress radiated electromagnetic interference(EMI) in a digital circuit.

**SOLUTION:** In the EMI suppression circuit, two-phase clock signals  $\phi_1$  and  $\phi_2$  whose phases are mutually inverted are outputted from a clock generator 18. A delay circuit 24 generates plural delayed clock signals  $\phi_1-1$  to  $\phi_1-3$  by delaying respective clock signals  $\phi_1$  and  $\phi_2$  and supplies these delayed clock signals  $\phi_1-1$  to  $\phi_1-3$  to respective circuit blocks 10 to 16 to driven them. Since a delayed clock signal of different delay time is inputted to each block, simultaneous switching can be reduced and the peak value of the EMI can be also reduced. Since plural delayed clock signals can be used, a circuit can be easily designed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-84053

(P2001-84053A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

G 0 6 F 1/04

G 0 6 F 1/04

A 5 B 0 4 6

1/10

3 3 0 A 5 B 0 7 9

17/50

15/60

6 5 8 K

6 5 8 V

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号

特願平11-262917

(22) 出願日

平成11年9月17日 (1999.9.17)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 松本 健志

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 甲村 康人

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100075258

弁理士 吉田 研二 (外2名)

Fターム(参考) 5B046 AA08 BA06 JA01

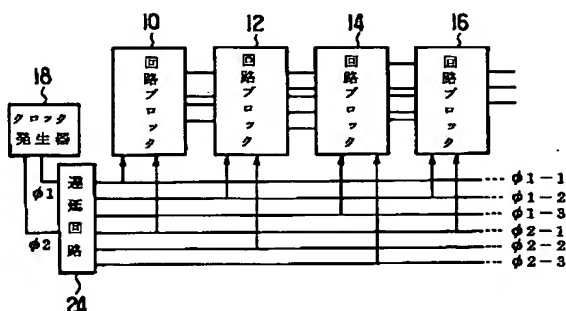
5B079 BC06 CC02 DD08

(54) 【発明の名称】 電磁雑音抑制回路及び方法並びにデジタル回路設計方法

(57) 【要約】

【課題】 デジタル回路において放射電磁雑音 (EMI) を抑制する。

【解決手段】 クロック発生器18から互いに位相が反転した2相クロック信号 $\phi 1$ 、 $\phi 2$ を出力する。遅延回路24は、それぞれのクロック信号を遅延させて複数の遅延クロック信号 $\phi 1-1 \sim \phi 2-3$ を生成し、各回路ブロック10~16に供給して動作させる。ブロック毎に異なる遅延時間の遅延クロック信号を入力することで、同時スイッチングを減らし、EMIのピーク値を減少させることができる。また、複数の遅延クロック信号を用いることができるので、回路設計が容易化される。



## 【特許請求の範囲】

【請求項1】 電磁雑音を抑制する回路であって、位相が互いに反転した第1クロック信号及び第2クロック信号を生成する手段と、前記第1クロック信号及び第2クロック信号の信号幅を縮小する手段と、前記第1クロック信号及び第2クロック信号それぞれに対し、時間的に遅延させた遅延クロック信号を生成する手段と、を有し、前記遅延クロック信号を用いて回路を動作させることを特徴とする電磁雑音抑制回路。

【請求項2】 請求項1記載の回路において、前記回路は複数の回路ブロックを有し、前記複数の回路ブロックのそれぞれには、前記第1クロック信号の遅延クロック信号と前記第2クロック信号の遅延クロック信号を入力して動作させることを特徴とする電磁雑音抑制回路。

【請求項3】 請求項2記載の回路において、前記複数の回路ブロックの少なくとも2つ以上は、入力される前記第1クロック信号の遅延クロック信号の遅延時間が互いに異なることを特徴とする電磁雑音抑制回路。

【請求項4】 請求項2記載の回路において、前記複数の回路ブロックの少なくとも2つ以上は、入力される前記第2クロック信号の遅延クロック信号の遅延時間が互いに異なることを特徴とする電磁雑音抑制回路。

【請求項5】 デジタル回路の電磁雑音を抑制する方法であって、位相が互いに反転した第1クロック信号及び第2クロック信号を生成し、前記第1クロック信号及び第2クロック信号の信号幅を縮小し、前記第1クロック信号及び第2クロック信号それぞれに対し、時間的に遅延させた1又は複数の遅延クロック信号を生成し、前記第1クロック信号の遅延クロック信号と前記第2クロック信号の遅延クロック信号を動作クロック信号として用いることを特徴とする電磁雑音抑制方法。

【請求項6】 請求項5記載の方法において、前記第1クロック信号の遅延クロック信号及び前記第2クロック信号の遅延クロック信号には複数の遅延時間が存在し、前記動作クロック信号として、前記第1クロック信号の互いに遅延時間が異なる遅延クロック信号と、前記第2クロック信号の互いに遅延時間が異なる遅延クロック信号を用いることを特徴とする電磁雑音抑制方法。

【請求項7】 デジタル回路設計方法であって、位相が互いに反転した第1クロック信号及び第2クロック信号を生成し、

前記第1クロック信号及び第2クロック信号の信号幅を縮小し、

前記第1クロック信号及び第2クロック信号それぞれに対し、時間的に遅延させた1又は複数の遅延クロック信号を生成し、

前記第1クロック信号の遅延クロック信号と前記第2クロック信号の遅延クロック信号を動作クロック信号として用いて回路を設計することを特徴とするデジタル回路設計方法。

【請求項8】 請求項7記載の方法において、前記第1クロック信号の遅延クロック信号及び前記第2クロック信号の遅延クロック信号には複数の遅延時間が存在し、前記動作クロック信号として、前記第1クロック信号の互いに遅延時間が異なる遅延クロック信号と、前記第2クロック信号の互いに遅延時間が異なる遅延クロック信号を順次用いて回路の最適化を図ることを特徴とする回路設計方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電磁雑音抑制回路及び方法、特に回路ブロックへのクロック信号の供給タイミング調整による電磁雑音の抑制に関する。

【0002】

【従来の技術】近年、電子機器の放射電磁雑音（EMI）対策が重要視されている。その背景には、LSIチップの動作周波数の高速化がある。すなわち、クロック周波数が数十MHzになると、その高調波の周波数がFMラジオ放送の送信周波数と重なってしまうため、例えば車載の電装機器にLSIチップを組み込んだ場合には、EMIがFMラジオの受信品質に影響を与えてしまうことになる。そこで、従来より、種々の方法でEMIを抑制することが提案されている。

【0003】図9には、EMI対策を行っていないデジタル回路の構成が示されている。複数の回路ブロック10、12、14、16が設けられ、それぞれのブロックにクロック発生器18からのクロック信号が供給される。図10には、各ブロックに供給されるクロック信号の波形が示されている。各ブロックでは、入力されたクロック信号に基づいてデータを処理する。すなわち、クロック信号の立ち上がりでデータをラッチして所定の処理を開始し、次のクロックの立ち上がりまでに処理を終了してデータや制御信号を次段のブロックに供給する。このように、あるクロック信号で複数の回路ブロックを同時に動作させると、電流が回路内を同時に流れるためEMIが増大してしまう。

【0004】そこで、従来より、以下のようなEMI抑制手法が提案されている。第1に、デジタル回路のブロック毎に、立ち上がり位置を時間的にずらせたクロック信号を入力して動作させてブロック間の同時スイッチングを減らす方法である。

【0005】図11及び図12には、この第1の方法におけるデジタル回路の構成及びクロック信号のタイミングチャートが示されている。クロック発生器18からのクロック信号は遅延器20に供給され、遅延時間が互いに異なる複数のクロック信号CL1、CL2、CL3を生成する。CL1を基準とすると、CL2はCL1よりも所定時間 $t$ だけ遅延させ、CL3はCL2よりもさらに所定時間 $t$ だけ遅延させる。但し、CL3の立ち下がり時間がCL1の立ち上がり時間以後となることはなく、すなわち遅延時間はクロック信号の半周期より小さく設定される。そして、このように遅延されたクロック信号がブロック10~16に供給される。すなわち、ブロック10にはCL1が供給され、ブロック12にはCL2が供給され、ブロック14にはCL3が供給され、ブロック16にはCL1が供給される。各ブロックは入力クロック信号の立ち上がりで処理を開始するから、立ち上がり時間の分散により回路に同時に流れる電流量が減少し、EMIのピーク値を減少させることができる。

【0006】第2に、クロック信号を周波数変調（クロックディザリング）し、クロック信号の時間間隔を分散することで、高調波のEMIのピークを分散する方法である。

【0007】図13及び図14には、この第2の方法におけるデジタル回路の構成及びクロック信号のタイミングチャートが示されている。クロック発生器18からのクロック信号は周波数変調器22に供給され、周波数変調されて各ブロック10~16に供給される。図14に示されるように、一定の周波数ではなく、周波数を分散させることで、各ブロックの同時スイッチングのタイミングが分散され、高調波を分散できる。

【0008】

【発明が解決しようとする課題】しかしながら、上記第1の方法では、回路設計に大きな制限を加える問題がある。すなわち、ブロック毎に立ち上がり位置（立ち下がりも）のずれたクロック信号が入力され、データのラッチ、処理の開始に使用されているため、遅い立ち上がりタイミングのクロック信号（例えばCL2）で駆動しているブロックの処理結果を、早い立ち上がりクロック信号（例えばCL1）で駆動しているブロックに入力する場合、前のブロックでの処理に許容される時間は、クロック信号のサイクルよりも短くなってしまふ（図12において許容時間 $\Delta t < \text{サイクル} \Delta T$ ）。特に、立ち上がりから立ち下がりまでは通常の時間（ $\Delta T/2$ ）であるのに、立ち下がりから次のブロックのクロック信号の立ち上がりまでの時間（図12における $\Delta t_2$ ）が短くなってしまふ。また、早いクロック信号（例えばCL1）で駆動しているブロックから遅いクロック信号（例えばCL2）で駆動しているブロックへ処理結果を渡す場合には、前ブロックの処理が早く終わり次ブロックに出力した後、次ブロックのクロック信号が立ち上って

渡されたデータ等をラッチし処理を開始する前に、前ブロックのクロック信号が立ち上って処理を開始してしまう。前ブロックの処理があまりに早く終わると、次ブロックでデータ等をラッチする前にデータ等を書き換えてしまうことになり好ましくない。このような不都合を回避するように、回路設計、具体的には回路ブロックの分割やクロックの分配を行うのは非常に困難であり、結果として、余裕のある回路設計を行うことができず、クロック周波数も高速化できない問題がある。

10 【0009】また、上記第2の方法では、各ブロックには同一のクロック信号が入力され、各ブロックが同期して動作しているが、そのクロック周波数が常に変動しているため各ブロックの処理に許される時間は一定ではないことになる。このため、各ブロックは、変動するクロック周波数の最も短いクロック間隔（最も高い周波数）で処理を終えるように設計する必要がある。その回路で可能な最も高い周波数を周波数変調された最も高い周波数に合わせる結果、その回路の平均動作周波数がより低い周波数となってしまい、回路本来の性能を発揮することができなくなる。

20 【0010】本発明は、上記従来技術の有する課題に鑑みなされたものであり、その目的は、クロックの分配を容易化でき、かつ、高速処理も可能とするEMI抑制回路及び方法並びにこのような回路を容易に得ることができる回路設計方法を提供することにある。

【0011】

30 【課題を解決するための手段】上記目的を達成するために、本発明は、電磁雑音を抑制する回路であって、位相が互いに反転した第1クロック信号及び第2クロック信号を生成する手段と、前記第1クロック信号及び第2クロック信号それぞれに対し、時間的に遅延させた遅延クロック信号を生成する手段とを有し、前記遅延クロック信号を用いて回路を動作させることを特徴とする。

40 【0012】また、前記回路は複数の回路ブロックを有し、前記複数の回路ブロックのそれぞれには、前記第1クロック信号の遅延クロック信号と前記第2クロック信号の遅延クロック信号を入力して動作させることを特徴とする。

50 【0013】前記複数の回路ブロックの少なくとも2つ以上は、入力される前記第1クロック信号の遅延クロック信号の遅延時間が互いに異なることが好適である。

【0014】また、前記複数の回路ブロックの少なくとも2つ以上は、入力される前記第2クロック信号の遅延クロック信号の遅延時間が互いに異なることが好適である。

【0015】また、本発明は、デジタル回路の電磁雑音を抑制する方法であって、位相が互いに反転した第1クロック信号及び第2クロック信号を生成し、前記第1クロック信号及び第2クロック信号それぞれに対し、時間的に遅延させた1又は複数の遅延クロック信号を生成

し、前記第1クロック信号の遅延クロック信号と前記第2クロック信号の遅延クロック信号を動作クロック信号として用いることを特徴とする。

【0016】ここで、前記第1クロック信号の遅延クロック信号及び前記第2クロック信号の遅延クロック信号には複数の遅延時間が存在し、前記動作クロック信号として、前記第1クロック信号の互いに遅延時間が異なる遅延クロック信号と、前記第2クロック信号の互いに遅延時間が異なる遅延クロック信号を用いることが好適である。

【0017】また、本発明は、デジタル回路設計方法も提供する。本方法では、位相が互いに反転した第1クロック信号及び第2クロック信号を生成し、前記第1クロック信号及び第2クロック信号それぞれに対し、時間的に遅延させた1又は複数の遅延クロック信号を生成し、前記第1クロック信号の遅延クロック信号と前記第2クロック信号の遅延クロック信号を動作クロック信号として用いて回路を設計することを特徴とする。

【0018】ここで、前記第1クロック信号の遅延クロック信号及び前記第2クロック信号の遅延クロック信号には複数の遅延時間が存在し、前記動作クロック信号として、前記第1クロック信号の互いに遅延時間が異なる遅延クロック信号と、前記第2クロック信号の互いに遅延時間が異なる遅延クロック信号を順次用いることで回路の最適化を図ることが好適である。

【0019】本発明においては、従来のように単相クロック信号の時間遅延や周波数変調を用いるのではなく、互いに位相が反転した2相クロック信号を用い、2相クロック信号をそれぞれ時間遅延させた遅延クロック信号群を用いて回路を動作させる。2相クロック信号（第1クロック信号と第2クロック信号）を用いた場合、一般に第1クロック信号でデータのラッチや処理の開始を行い、第2クロック信号で同期を確立する等して処理をさらに進める。第1クロックの立ち上がりで開始した処理は、基本的に第2クロックの立ち上がり迄に完了していればよいので、その間にクロック幅を縮小して種々の遅延時間を有する遅延クロック信号を動作クロック信号として用いることができる。複数の回路ブロックがデジタル回路に存在する場合には、互いに遅延時間の異なる遅延クロック信号を用いることで、単相における時間遅延によるEMI抑制方法と同様に、同時スイッチングを減らしてEMIのピーク値を減少させることができる。また、周波数変調のような制約条件もない。さらに、遅延クロック信号は複数生成することができるので、選択の自由度が増大し、制約条件を満足するように動作クロック信号を最適に分配することができる。

【0020】

【発明の実施の形態】以下、図面に基づき本発明の実施形態について説明する。

【0021】図1及び図2には、本実施形態の前提とな

る、2相クロック信号を用いたデジタル回路の構成及びクロック信号のタイミングチャートが示されている。クロック発生器18から、 $\Phi 1$ 及び $\Phi 2$ のクロック信号が各ブロック10～16に供給される。 $\Phi 1$ 及び $\Phi 2$ は、図2に示されるように周波数が同一で位相が反転したクロック信号である。各ブロックでは、 $\Phi 1$ の立ち上がりでデータをラッチして処理を開始し、 $\Phi 2$ の立ち上がりまでにこの処理を終了させ、 $\Phi 2$ の立ち上がりに同期してデータをラッチする等して処理をさらに行い、次のブロックにデータなどを渡す。図9、図10に示されるような単相クロック信号の場合には、各ブロックは1つのクロック信号の立ち上がりでラッチしたデータを内部的に同期させ、あるいは非同期で処理を行うが、このように2相クロック信号を用いることで容易に同期を確立することができ、回路ブロックの構成を簡易化することができる。

【0022】このような2相クロック信号を用いた回路においても、単相クロック信号を用いた場合と同様にEMIが生じるが（各ブロックでは $\Phi 1$ の立ち上がりでデータを同時にラッチして処理を開始するので、図9、図10の場合と同様に同時に電流が流れEMIが生じる）、2相クロック信号を用いると、各ブロックは $\Phi 1$ の立ち上がりで開始した処理を $\Phi 2$ の立ち上がりが入力されるまでに終了すればよいので、例えば $\Phi 1$ について、信号幅（1である時間）を元の $\Phi 1$ の信号幅より縮小化し、かつ、 $\Phi 2$ の立ち上がりまでの時間の限度において時間を遅延させた複数のクロック信号を入力してデータのラッチ及び処理に用いることができる。

【0023】図3及び図4には、本実施形態の構成及びクロック信号のタイミングチャートが示されている。クロック発生器18からは $\Phi 1$ 及び $\Phi 2$ の2相クロック信号が出力され、遅延回路24に供給される。遅延回路24では、 $\Phi 1$ 、 $\Phi 2$ それぞれのクロック信号に対して所定時間ずつ遅延させ、 $\Phi 1$ に関しては $\Phi 1-1$ 、 $\Phi 1-2$ 、 $\Phi 1-3$ の3つのクロック信号を生成し、 $\Phi 2$ に関しては $\Phi 2-1$ 、 $\Phi 2-2$ 、 $\Phi 2-3$ の3つのクロック信号を生成する。 $\Phi 1-1$ は元の $\Phi 1$ に対して遅延時間がなく、 $\Phi 1-2$ は $\Phi 1-1$ に対して所定時間遅延させ、 $\Phi 1-3$ は $\Phi 1-1$ に対してさらに遅延させる。最も遅延時間の大きい $\Phi 1-3$ でも、その遅延時間は元の $\Phi 1$ の立ち上がり時間から元の $\Phi 2$ の立ち上がり時間の時間間隔 $\Delta S$ よりも小さい。すなわち、 $\Phi 1-3$ の立ち上がり時間は、 $\Phi 2-1$ の立ち上がり時間より前に存在する。一方、 $\Phi 2$ に関しても同様であり、 $\Phi 2-1$ は元の $\Phi 2$ に対して遅延時間がなく、 $\Phi 2-2$ は $\Phi 2-1$ に対して所定時間遅延させ、 $\Phi 2-3$ は $\Phi 2-1$ に対してさらに遅延させる。最も遅延時間の大きい $\Phi 2-3$ でも、その遅延時間は元の $\Phi 2$ の立ち上がり時間から元の $\Phi 1$ の立ち上がり時間の時間間隔 $\Delta S$ よりも小さい。 $\Phi 1-1 \sim \Phi 2-3$ の信号幅は同一であり、いずれも元の

φ1あるいはφ2の信号幅よりも縮小されている。

【0024】遅延回路24からは、このように立ち上がり時間が互いにずれた合計6個のクロック信号が生成され、各ブロック10～16に供給される。各ブロック10～16は、それぞれφ1としてφ1-1～φ1-3の中からいずれかを入力し、φ2としてφ2-1～φ2-3の中からいずれかを入力することができるので、回路設計の自由度が著しく増大する。例えば、図3に示されるように、ブロック10にはφ1-1とφ2-1を入力し、ブロック12にはφ1-2とφ2-2を入力し、ブロック14にはφ1-3とφ2-3を入力し、ブロック16にはφ1-2とφ2-1を入力することができる。各ブロック10～16で、φ1として異なるクロック信号を入力し、φ2として異なるクロック信号を入力することで、ブロック間における同時スイッチングを防ぎ、図11及び図12の場合と同様にEMIのピーク値を減少させることができる。そして、図11及び図12の場合では、クロックの分配が困難となる問題が生じるが、本実施形態においては、多様なクロック信号（φ1-1～φ2-3）の中から選択して各ブロックにクロック信号を分配することができるので、回路設計も容易化される。

【0025】なお、本実施形態では、各ブロックにφ1から1つ、φ2から1つのクロック信号を入力して動作させているが、φ1として2つ以上、φ2としても2つ以上のクロック信号を入力して動作させてもよい。例えば、ブロック10にφ1としてφ1-1とφ1-2を入力し、φ2としてφ2-1とφ2-2を入力した場合、時間的にずれたタイミングでデータのラッチ及び処理を開始することとなり、スイッチングのタイミングを分散させてEMIのピーク値を一層減少させることが可能となる。さらに、各ブロック内においても異なるクロック入力動作するサブブロックができ、各サブブロック毎に複数のクロックから選択できることから、回路設計がより柔軟で容易化される。

【0026】図5には、図3に示された遅延回路24の回路構成の一例が示されている。遅延回路24は、複数の遅延器24a～24d及び信号幅調整部24zから構成されており、遅延器24a～24dは並列に接続されている。クロック発生器18からのφ1は信号幅調整部24zにて信号幅が所定量縮小され、遅延されることなくφ1-1として出力されるとともに、遅延器24a及び24bに供給される。遅延器24aは入力されたφ1を所定時間kだけ遅延させてφ1-2として出力し、遅延器24bは入力されたφ1を2k時間だけ遅延させてφ1-3として出力する。一方、クロック発生器18からのφ2も信号幅調整部24zで信号幅が縮小され、φ2-1として出力されるとともに、遅延器24c及び24dに供給される。遅延回路24cは入力されたφ2を所定時間kだけ遅延させてφ2-2として出力し、遅延

回路24dは入力されたφ2を2kだけ遅延させてφ2-3として出力する。このようにして、φ1-1～φ2-3の合計6個の時間的にずれたクロック信号を生成することができる。

【0027】図6には、φ1-1～φ2-3を生成する他の構成が示されている。クロック発生器19からはφ1のみを出力し、遅延回路25に供給する。遅延回路25は入力されたφ1を信号幅調整部25zで信号幅を縮小した後、遅延することなくそのままφ1-1として出力するとともに、遅延回路25a及び25bでそれぞれ所定時間k、2kだけ遅延させてφ1-2、φ1-3として出力する。また、遅延回路25bからの出力は、さらに遅延器25c、25d、25eに供給される。遅延器25cでは入力信号を所定時間mだけ遅延させてφ2-1として出力する。遅延回路25dは、入力信号を2mだけ遅延させてφ2-2として出力する。さらに、遅延器25eは入力信号を3mだけ遅延させてφ2-3として出力する。このように、クロック発生器19から単一のクロック信号φ1を発生させ、遅延回路25でφ1について3個、φ2について3個のクロック信号を生成することができる。

【0028】以上説明したように、本実施形態では2相のクロック信号を用い、各相においてクロック信号を遅延させて時間的に立ち上がりタイミングのずれた複数のクロック信号を生成して各ブロックに異なるクロック信号を供給し動作させているので、各ブロックにおいて動作タイミングをずらす組み合わせの自由度が増し、比較的容易にEMIを抑制できる回路を得ることができる。

【0029】なお、本実施形態においては、2相φ1、φ2の各相について3個（元のクロック信号も含む）のクロック信号を生成しているが、もちろん各相について2個の信号あるいは4個以上のクロック信号を生成することも可能である。

【0030】また、本実施形態では、クロック分配の自由度が増大するためEMIを抑制する回路の設計が容易化されているが、以下、回路設計の手法についても説明する。

【0031】図7には、回路設計の処理フローチャートが示されている。まず、ハードウェア記述言語（HDL）によるRTL記述や各種制約条件（遅延時間やチップ面積）を入力する（S101）。ここで、RTLとは、システム設計結果であり、所望のLSIをレジスタ（フリップフロップ）及びレジスタ間の組み合わせ回路として表したものである。これらを入力すると、ステートマシンの状態コードの割り当てやフリップフロップの割付け、組み合わせ論理の生成などを行い、ゲート・レベルの論理回路を生成する（S102）。次に、半導体製造技術に依存しない範囲で論理の最適化を実行する（S103）。すなわち、ユーザが指定した制約条件を満たすように、論理ゲート数（チップ面積）と論理段数

(遅延時間)などを調整する。また、本実施形態のように複数のクロック信号が存在する場合には、各回路ブロックへクロック信号を最適分配する(S104)。クロックの最適分配についてはさらに後述する。そして、得られた回路が制約条件を満たすか否かを検証し(S105)、制約条件を満たす回路が得られた場合、特定の半導体製造技術へのマッピングを行う。すなわち、論理(ゲート)やフリップフロップを所望の半導体製造術のライブラリに用意されたマクロセルに置き換える。また、その回路の遅延時間情報や面積情報などを出力する(S106)。

【0032】図8には、図7におけるクロック最適分配の処理フローチャートが示されている。まず、本実施形態で示したように2相クロック信号に対してそれぞれ遅延クロック信号を1又は複数個生成する(S201)。そして、回路ブロック毎に、これらの遅延クロック信号の中から入力すべきクロック信号を選択して分配(配線)する。クロック信号を分配した後、ブロック内の遅延時間やブロック間のタイミング検証により、破綻点、極端な危険ブロックを探索する(S203)。破綻点や危険なブロックが存在する場合には、再びクロック信号を分配する(S202)。本実施形態では、2相のクロック信号のそれぞれを遅延させて多様なクロック信号を生成しているため、このクロック信号の分配の組み合わせの自由度が高く、クロック分配が容易化される。なお、全ての組み合わせを試しても破綻点や危険ブロックが生じてしまう場合には、S201まで戻り、再度2相クロック信号のそれぞれに対して1又は複数個の遅延クロック信号を生成して同様の処理を繰り返せばよい。

【0033】このような処理により、複数の遅延クロック信号を用いて最適なデジタル回路を設計することができる。

【0034】

\*

＊【発明の効果】以上説明したように、本発明によれば、動作クロック信号の分配などを容易化、最適化しつつ、EMIを抑制することができる。

【図面の簡単な説明】

【図1】 2相クロック信号を用いた回路構成図である。

【図2】 図1における2相クロック信号のタイミングチャートである。

【図3】 実施形態の回路構成図である。

【図4】 図3の遅延クロック信号のタイミングチャートである。

【図5】 図3における遅延回路の構成図である。

【図6】 図3における遅延回路の他の構成図である。

【図7】 実施形態の回路設計処理フローチャートである。

【図8】 図7におけるクロックの最適分配処理フローチャートである。

【図9】 EMI対策を行っていないデジタル回路の構成図である。

【図10】 図9におけるクロック信号のタイミングチャートである。

【図11】 従来のEMI対策を行ったデジタル回路の構成図である。

【図12】 図11におけるクロック信号のタイミングチャートである。

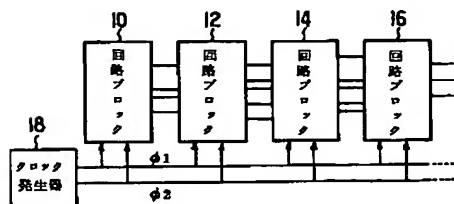
【図13】 従来の他のEMI対策を行ったデジタル回路の構成図である。

【図14】 図13におけるクロック信号のタイミングチャートである。

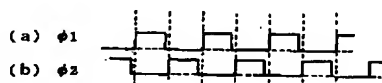
【符号の説明】

10～16 回路ブロック、18 クロック発生器、24 遅延回路。

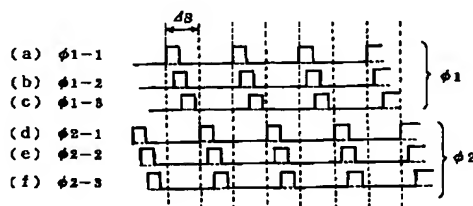
【図1】



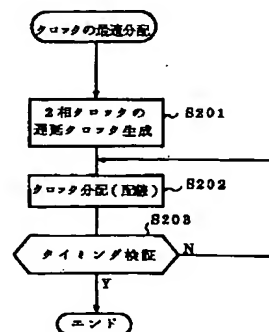
【図2】



【図4】

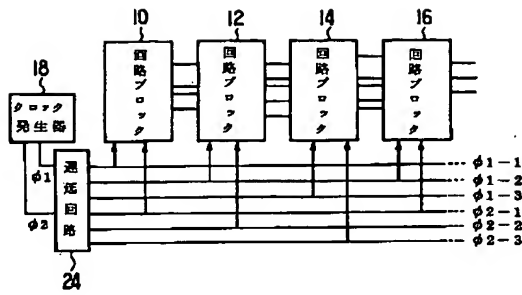


【図8】

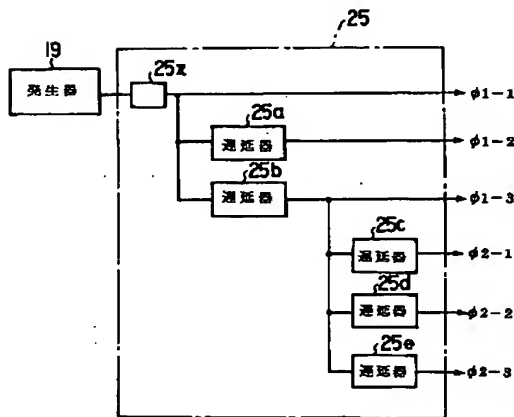




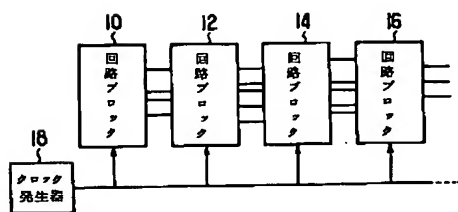
【図3】



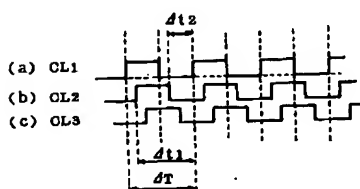
【図6】



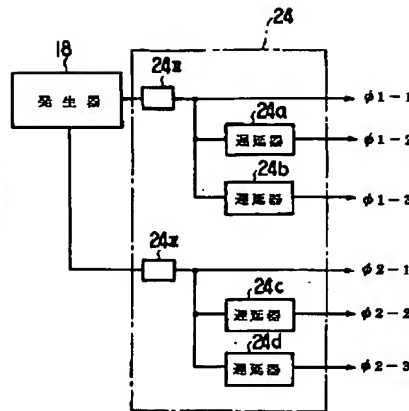
【図9】



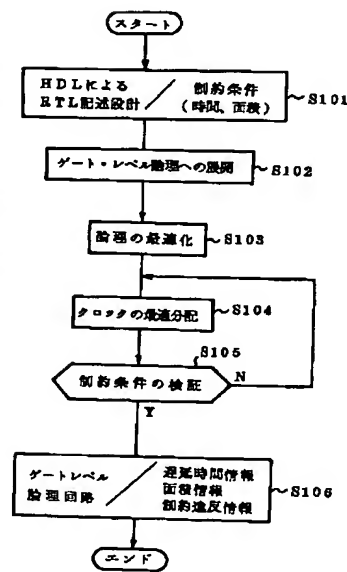
【図12】



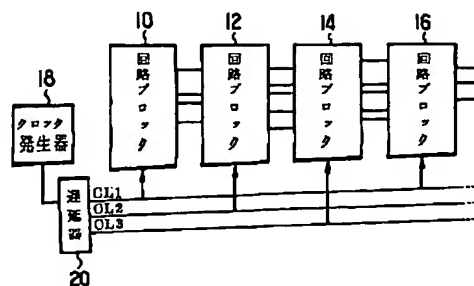
【図5】



【図7】



【図11】



【図10】



クロック信号波形

【図13】

